

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-063286

(43)Date of publication of application : 07.03.1997

(51)Int.Cl. G11C 16/06

(21)Application number : 07-220020 (71)Applicant : OKI MICRO DESIGN
MIYAZAKI:KK
OKI ELECTRIC IND CO LTD

(22)Date of filing : 29.08.1995 (72)Inventor : TOMARI NOBUHIRO
MATSUDA YOSHIO

(54) DATA REWRITING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To extend life by eliminating unnecessary erasing operations to a nonvolatile memory.

SOLUTION: Update data Din are latched by a latch circuit 21 and holding data SM are read out and latched from a nonvolatile memory array M by a read-out circuit 23. Data S21 are compared with data S23 by a comparing circuit 22, activation is indicated in coincidence signals S22 when the result of comparison is coincided and inactivity is indicated in coincidence signals S22 when the result is not coincided. Address data designated in the nonvolatile memory array M are erased by a erasing circuit 24 when coincidence signals S22 are inactive. Address data are not erased by the erasing circuit 24 when coincidence signals S22 are active. When coincidence signals S22 indicate inactivity, after the erasing operation is performed by the erasing circuit 24,

data are written into the address designated in the nonvolatile memory array M by a writing circuit 26. When coincidence signals S22 indicate activity, writing operations are not performed by a writing circuit 25.

LEGAL STATUS [Date of request for examination] 09.03.2001
[Date of sending the examiner's decision of rejection] 25.05.2004
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the source field formed into the substrate, and the data rewriting circuit which performs write-in actuation and elimination actuation of data to the non-volatile memory cell by which the floating gate was prepared through the insulator layer on between drain fields The 1st latch circuit which latches the updating data for rewriting to the maintenance data currently held at said non-volatile memory cell, Coincidence/inequality of the 2nd latch circuit which reads and latches said maintenance data, and the data latched to said 1st latch circuit and the data latched to said 2nd latch circuit are detected. When the comparator circuit which shows

activity to a coincidence signal when this detection result is coincidence, and shows non-activity to this coincidence signal at the time of an inequality, and said comparator circuit show non-activity to said coincidence signal, When elimination actuation of data is performed to said non-volatile memory cell and said comparator circuit shows activity to said coincidence signal by drawing out said source field HEEREKU TRON through said insulator layer from said floating gate, When the elimination circuit which does not perform this elimination actuation, and said comparator circuit show non-activity to said coincidence signal, Write-in actuation of data is performed to said non-volatile memory cell by pouring in a hot electron to said floating gate through said insulator layer, after said elimination circuit eliminates said data. The data rewriting circuit characterized by the thing which do not perform this write-in actuation, and for which it wrote in and had the circuit when said comparator circuit shows activity to said coincidence signal.

[Claim 2] In the source field formed into the substrate, and the data rewriting circuit which performs write-in actuation and elimination actuation of data to the nonvolatile memory by which the floating gate was prepared through the insulator layer on between drain fields The 1st latch circuit which latches the updating data for rewriting to the maintenance data currently held at said non-volatile memory cell, Coincidence/inequality of the 2nd latch circuit which reads and latches said maintenance data, and the data latched to said 1st latch circuit and the data latched to said 2nd latch circuit are detected. When the comparator circuit which shows activity to a coincidence signal when this detection result is coincidence, and shows non-activity to this coincidence signal at the time of an inequality, and said comparator circuit show non-activity to said coincidence signal, When elimination actuation of data is performed to said non-volatile memory cell and said comparator circuit shows activity to said coincidence signal by drawing out said source field HEEREKU TRON through said insulator layer from said floating gate, After detecting coincidence/inequality of the elimination circuit which does not perform this elimination actuation, and the data with which said comparator circuit was latched to said 1st latch circuit and the data latched to said 2nd latch circuit, The data rewriting circuit characterized by having the write-in circuit which performs write-in actuation of data to said non-volatile memory cell by pouring in a hot electron to said floating gate through said insulator layer irrespective of this detection result.

[Claim 3] In the source field formed into the substrate, and the data rewriting circuit which performs write-in actuation and elimination actuation of data to the non-volatile memory cell by which the floating gate was prepared through the insulator layer on between drain fields The latch circuit which reads and latches the maintenance data currently held at said non-volatile memory cell, The data detector which detects coincidence/inequality of a high level or a low, and the logical level of the data latched to said latch circuit, shows activity to a coincidence signal when this

detection result is coincidence, and shows non-activity to this coincidence signal at the time of an inequality, When said data detector shows non-activity to said coincidence signal, elimination actuation of data is performed to said non-volatile memory cell by drawing out said source field HEEREKU TRON through said insulator layer from said floating gate. When said data detector shows activity to said coincidence signal and the elimination circuit which does not perform this elimination actuation, and said data detector show non-activity to said coincidence signal, Write-in actuation of data is performed to said non-volatile memory cell by pouring in a hot electron to said floating gate through said insulator layer, after said elimination circuit eliminates said data. The data rewriting circuit characterized by the thing which do not perform this write-in actuation, and for which it wrote in and had the circuit when said data detector shows activity to said coincidence signal.

[Claim 4] In the source field formed into the substrate, and the data rewriting circuit which performs write-in actuation and elimination actuation of data to the non-volatile memory cell by which the floating gate was prepared through the insulator layer on between drain fields The latch circuit which reads and latches the maintenance data currently held at said non-volatile memory cell, The data detector which detects coincidence/inequality of a high level or a low, and the logical level of the data latched to said latch circuit, shows activity to a coincidence signal when this detection result is coincidence, and shows non-activity to this coincidence signal at the time of an inequality, When said data detector shows non-activity to said coincidence signal, elimination actuation of data is performed to said non-volatile memory cell by drawing out said source field HEEREKU TRON through said insulator layer from said floating gate. The elimination circuit which does not perform this elimination actuation when said data detector shows activity to said coincidence signal, After said data detector detects coincidence/inequality of a high level or a low, and the logical level of data latched to said latch circuit, The data rewriting circuit characterized by having the write-in circuit which performs write-in actuation of data to said non-volatile memory cell by pouring in a hot electron to said floating gate through said insulator layer irrespective of this detection result.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the rewriting circuit of the data to nonvolatile memory, such as data storage equipment, especially EEPROM (Electrically Erasable Programmable ROM).

[0002]

[Description of the Prior Art] When performing rewriting actuation of the data of nonvolatile memory, such as EEPROM, in the conventional data rewriting circuit, irrespective of the contents of the maintenance data already written in the address to write nonvolatile memory, elimination actuation of these maintenance data is performed first, and then write-in actuation is performed. That is, even when maintenance data and updating data to rewrite are the same, write-in actuation is performed.

[0003]

[Problem(s) to be Solved by the Invention] The following technical problems occurred in the conventional data rewriting circuit. Drawing 2 is the sectional view of an outline showing the structure of general EEPROM which is one of the nonvolatile memory. this -- EEPROM -- a substrate -- one -- inside -- forming -- having had -- the source -- a field -- two -- and -- a drain -- a field -- three -- between -- the upper part -- the bottom -- from -- order -- a tunnel -- an insulator layer -- four -- a floating gate -- (FG) -- five -- the gate -- between -- an insulator layer -- six -- and -- control -- the gate -- (CG) -- seven -- a laminating -- having carried out -- a laminating -- the gate -- MOSFET -- structure -- becoming -- ****. In the source electrode 11 and the drain field 3, the control gate electrode 13 is connected to the drain electrode 12 and the control gate 7 at the source field 2, respectively. In this EEPROM, the amount of the electron in a floating gate 5 (electron) performs the writing and elimination of data using the threshold seen from the control gate 7 changing. Next, actuation [of drawing 2] (1) - (2) is explained.

[0004] (1) Impress 0V to the write-in actuation 11, for example, a source electrode, and impress +12V to the drain electrode 12 at +6V and the control gate electrode 13, respectively. And data are written in by passing a current from the source field 2 to the drain field 3, and pouring in a hot electron to a floating gate 5 through the tunnel insulator layer 4.

(2) Impress -9V to the elimination actuation 11, for example, a source electrode, at +5V and the control gate electrode 13, and eliminate data by drawing out source field 2 HEEREKU TRON through the tunnel insulator layer 4 from a floating gate 5. The data rewriting circuit was performing the above actuation. That is, even when maintenance data and updating data are the same, there is useless rewriting actuation that elimination and write-in actuation are performed. Therefore, there was a problem that a rewritable count decreased.

[0005] For example, in EEPROM of drawing 2, since electron is performed by making the inside of the tunnel insulator layer 4 penetrate at the time of writing and elimination, electron and a hole are captured in this tunnel insulator layer 4, and there is a problem on the dependability that write-in effectiveness and elimination effectiveness fall. Therefore, the threshold after writing falls, or the threshold after

elimination rises, and the threshold window which is the difference of the threshold of these both becomes narrow. When a threshold window narrows, the judgment of a high level (henceforth "H") and a low (henceforth "L") may not be able to be performed, but memory actuation may become impossible. That is, when it rewrites physically, a count has a limit and the count of rewriting which is a certain extent is exceeded, there is a problem of rewriting becoming impossible in nonvolatile memory, such as EEPROM. In general EEPROM, 10,000 – about 100,000 times rewrite and it is the limitation of a count.

[0006]

[Means for Solving the Problem] The 1st invention is equipped with the following circuits in the source field formed into the substrate, and the data rewriting circuit which performs write-in actuation and elimination actuation of data to the non-volatile memory cell by which the floating gate was prepared through the insulator layer on between drain fields, in order to solve said technical problem. Namely, the 1st latch circuit which latches the updating data for rewriting to the maintenance data currently held at said non-volatile memory cell, Coincidence/inequality of the 2nd latch circuit which reads and latches said maintenance data, and the data latched to said 1st latch circuit and the data latched to said 2nd latch circuit are detected. When the comparator circuit which shows activity to a coincidence signal when this detection result is coincidence, and shows non-activity to this coincidence signal at the time of an inequality, and said comparator circuit show non-activity to said coincidence signal, When elimination actuation of data is performed to said non-volatile memory cell and said comparator circuit shows activity to said coincidence signal by drawing out said source field HEEREKU TRON through said insulator layer from said floating gate, When the elimination circuit which does not perform this elimination actuation, and said comparator circuit show non-activity to said coincidence signal, Write-in actuation of data is performed to said non-volatile memory cell by pouring in a hot electron to said floating gate through said insulator layer, after said elimination circuit eliminates said data. When said comparator circuit shows activity to said coincidence signal, it has the write-in circuit which does not perform this write-in actuation.

[0007] In the 2nd invention, it has the following circuits in the source field formed into the substrate, and the data rewriting circuit which performs write-in actuation and elimination actuation of data to the nonvolatile memory by which the floating gate was prepared through the insulator layer on between drain fields. Namely, the 1st latch circuit which latches the updating data for rewriting to the maintenance data currently held at said non-volatile memory cell, Coincidence/inequality of the 2nd latch circuit which reads and latches said maintenance data, and the data latched to said 1st latch circuit and the data latched to said 2nd latch circuit are detected. When the comparator circuit which shows activity to a coincidence signal when this detection

result is coincidence, and shows non-activity to this coincidence signal at the time of an inequality, and said comparator circuit show non-activity to said coincidence signal, When elimination actuation of data is performed to said non-volatile memory cell and said comparator circuit shows activity to said coincidence signal by drawing out said source field HEEREKU TRON through said insulator layer from said floating gate, After detecting coincidence/inequality of the elimination circuit which does not perform this elimination actuation, and the data with which said comparator circuit was latched to said 1st latch circuit and the data latched to said 2nd latch circuit, It has the write-in circuit which performs write-in actuation of data to said non-volatile memory cell irrespective of this detection result by pouring in a hot electron to said floating gate through said insulator layer.

[0008] In the 3rd invention, it has the following circuits in the source field formed into the substrate, and the data rewriting circuit which performs write-in actuation and elimination actuation of data to the non-volatile memory cell by which the floating gate was prepared through the insulator layer on between drain fields. Namely, the latch circuit which reads and latches the maintenance data currently held at said non-volatile memory cell, The data detector which detects coincidence/inequality of "H" or "L", and the logical level of the data latched to said 2nd latch circuit, shows activity to a coincidence signal when this detection result is coincidence, and shows non-activity to this coincidence signal at the time of an inequality, When said data detector shows non-activity to said coincidence signal, elimination actuation of data is performed to said non-volatile memory cell by drawing out said source field HEEREKU TRON through said insulator layer from said floating gate. When said data detector shows activity to said coincidence signal and the elimination circuit which does not perform this elimination actuation, and said data detector show non-activity to said coincidence signal, Write-in actuation of data is performed to said non-volatile memory cell by pouring in a hot electron to said floating gate through said insulator layer, after said elimination circuit eliminates said data. When said data detector shows activity to said coincidence signal, it has the write-in circuit which does not perform this write-in actuation.

[0009] In the 4th invention, it has the following circuits in the source field formed into the substrate, and the data rewriting circuit which performs write-in actuation and elimination actuation of data to the non-volatile memory cell by which the floating gate was prepared through the insulator layer on between drain fields. Namely, the latch circuit which reads and latches the maintenance data currently held at said non-volatile memory cell, The data detector which detects coincidence/inequality of "H" or "L", and the logical level of the data latched to said 2nd latch circuit, shows activity to a coincidence signal when this detection result is coincidence, and shows non-activity to this coincidence signal at the time of an inequality, When said data detector shows non-activity to said coincidence signal, elimination actuation of data

is performed to said non-volatile memory cell by drawing out said source field HEEREKU TRON through said insulator layer from said floating gate. The elimination circuit which does not perform this elimination actuation when said data detector shows activity to said coincidence signal, After said data detector detects coincidence/inequality of "H" or "L", and the logical level of data latched to said 2nd latch circuit, It has the write-in circuit which performs write-in actuation of data to said non-volatile memory cell irrespective of this detection result by pouring in a hot electron to said floating gate through said insulator layer.

[0010]

[Function] According to the 1st invention, since the data rewriting circuit was constituted as mentioned above, the updating data for rewriting to the maintenance data currently held at the non-volatile memory cell are latched to the 1st latch circuit, and said maintenance data are latched to the 2nd latch circuit. Next, coincidence/inequality of the data latched to the 1st latch circuit and the data latched to the 2nd latch circuit are detected in a comparator circuit, and when this detection result is coincidence, this comparator circuit shows activity to a coincidence signal, and shows non-activity to a coincidence signal at the time of an inequality. When a comparator circuit shows non-activity to a coincidence signal, data are eliminated by drawing out source field HEEREKU TRON through an insulator layer from the floating gate of a non-volatile memory cell by the elimination circuit. Next, the writing of data is performed to a non-volatile memory cell by writing in, after said elimination circuit eliminates said data, and pouring in a hot electron to said floating gate through said insulator layer by the circuit. On the other hand, since it is not necessary to perform elimination and writing when a comparator circuit shows activity to a coincidence signal, as for a data rewriting circuit, elimination and write-in actuation are not performed. Therefore, the count of rewriting actuation decreases as compared with the former, and the life of a non-volatile memory cell is prolonged.

[0011] According to the 2nd invention, when the comparator circuit of the 1st invention shows activity to a coincidence signal, although a data rewriting circuit does not perform elimination actuation, the writing of data is performed by the write-in circuit to a non-volatile memory cell. Therefore, the count of elimination actuation decreases as compared with the former, and, in addition to the life of a non-volatile memory cell being prolonged, the data of this non-volatile memory cell are refreshed. According to the 3rd invention, the maintenance data currently held at the non-volatile memory cell are latched to a latch circuit. Next, coincidence/inequality of "H" or "L", and the logical level of the data latched to said latch circuit are detected in a data detector, and when this detection result is coincidence, this data detector shows activity to a coincidence signal, and shows non-activity to a coincidence signal at the time of an inequality. When a data detector shows non-activity to a coincidence signal, data are eliminated by drawing out source field HEEREKU TRON through an

insulator layer from the floating gate of a non-volatile memory cell by the elimination circuit. Next, the writing of data is performed to a non-volatile memory cell by writing in, after said elimination circuit eliminates said data, and pouring in a hot electron to said floating gate through said insulator layer by the circuit. On the other hand, since it is not necessary to perform elimination and writing when a data detector shows activity to a coincidence signal, as for a data rewriting circuit, elimination and write-in actuation are not performed. Therefore, the count of rewriting actuation decreases as compared with the former, and the life of a non-volatile memory cell is prolonged. According to the 4th invention, when the data detector of the 3rd invention shows activity to a coincidence signal, although a data rewriting circuit does not perform elimination actuation, the writing of data is performed by the write-in circuit to a non-volatile memory cell. Therefore, the count of elimination actuation decreases as compared with the former, and, in addition to the life of a non-volatile memory cell being prolonged, the data of this non-volatile memory cell are refreshed. Therefore, said technical problem is solvable.

[0012]

[Example]

The 1st example drawing 1 is the configuration block Fig. of a data rewriting circuit showing the 1st example of this invention. This data rewriting circuit has the 1st latch circuit 21 which latches the updating data Din of n (n ; 1 or more integers) bit which wants to rewrite. a latch circuit 21 consists of n delay flip flops (henceforth D-FF) -- having -- this -- it has the function in which n D-FF latches each of the updating data Din synchronizing with a common clock signal. The data S21 which the latch circuit 21 latched are inputted into one input side of a comparator circuit 22. Moreover, the maintenance data SM currently held at the non-volatile memory cell array M are inputted into the readout circuitry 23 which is the 2nd latch circuit. The electrical potential difference of the source field of EEPROM to which the electrical potential difference of a sense line shows this non-volatile memory cell array M to drawing 2, and the bit line is transmitted to a drain field. A readout circuitry 23 consists of a sense amplifier, a latch circuit, etc., and has the function which reads and latches the n-bit maintenance data SM of the address to perform rewriting in the non-volatile memory cell array M. The data S23 which the readout circuitry 23 latches are inputted into the input side of another side of a comparator circuit 22. A comparator circuit 22 performs the comparison with data S21 and data S23, when in agreement, it shows activity to the coincidence signal S22, and in the case of the inequality, it has the function which shows non-activity in the coincidence signal S22. The output side of a comparator circuit 22 is connected to each input side of the elimination circuit 24 and the write-in circuit 25.

[0013] The elimination circuit 24 by for example, the command of the timing controller which is not illustrated when it consists of a charge pump circuit and a high-voltage

switching circuit and the coincidence signal S22 shows non-activity It has the function to perform elimination actuation of data to the non-volatile memory cell M by impressing the high voltage to the sense line of the non-volatile memory cell array M, impressing 0V to the bit line, and drawing out source field HEEREKU TRON. When the coincidence signal S22 shows activity, elimination actuation is forbidden based on the logical level of this coincidence signal S22. The write-in circuit 25 by for example, the command of said timing controller when it consists of a charge pump circuit and a high-voltage switching circuit and the coincidence signal S22 shows non-activity, after the elimination circuit 24 performs elimination actuation It has the function to perform write-in actuation of data to the non-volatile memory cell M by impressing 0V to the sense line of the non-volatile memory cell array M, impressing the high voltage to the bit line, and pouring in a hot electron to a floating gate through an insulator layer. When the coincidence signal S22 shows activity, write-in actuation is forbidden based on the logical level of this coincidence signal S22.

[0014] Drawing 3 is the circuit diagram of the comparator circuit in drawing 1 . this comparator circuit -- n IKUSUKURUSHIBUOA circuit (henceforth E-OR) 22a1-22an(s) (n; 1 or more integers), and n input NOR-circuit 22b -- having -- each output terminal of a latch circuit 21 -- every of E-OR22a1-22an -- it connects with the 1st input terminal, respectively. Each output terminal of a readout circuitry 23 is connected to each 2nd input terminal of E-OR22a1-22an from LSB of each output terminal of a latch circuit 21 corresponding to the sequence of MSB, respectively. Each output terminal of E-OR22a1-22an is connected to each input terminal of NOR-circuit 22b, respectively. The coincidence signal S22 is outputted from the output terminal of NOR-circuit 22b. Next, actuation [of drawing 1] (1) - (3) is explained.

[0015] (1) The address to perform rewriting from the load actuation exterior of data and its data (namely, updating data Din) are inputted, and a latch circuit 21 latches these updating data Din. On the other hand, a readout circuitry 23 reads the maintenance data SM corresponding to said specified address from the non-volatile memory array M to coincidence, and latches them to it. Then, a comparator circuit 22 compares data S21 with data S23, when the comparison result is in agreement, it shows activity to the coincidence signal S22, and when this comparison result is not in agreement, it shows non-activity to the coincidence signal S22.

(2) When the elimination actuation comparator circuit 22 shows non-activity to the coincidence signal S22, the elimination circuit 24 eliminates the data of the address with which it was specified in this non-volatile memory array M by the command of a timing controller, when the high voltage is impressed to the sense line of the non-volatile memory cell array M and it impresses 0V to the bit line. However, when a comparator circuit 22 shows activity to the coincidence signal S22, the elimination circuit 24 does not perform elimination actuation.

(3) After the elimination circuit 24 performs elimination actuation, when the write-in actuation comparator circuit 22 shows non-activity to the coincidence signal S22, and the write-in circuit 25 impresses 0V to the sense line of the non-volatile memory cell M and impresses the high voltage to the bit line by the command of said timing controller, write data in the address with which it was specified in this non-volatile memory array M. However, when a comparator circuit 22 shows activity to the coincidence signal S22, the write-in circuit 25 does not perform write-in actuation. As mentioned above, in this 1st example, when data S21 and data S23 are not in agreement, it performs elimination and write-in actuation, but a data rewriting circuit does not perform elimination and write-in actuation, when in agreement. Therefore, as compared with the former, the count of rewriting actuation becomes fewer, and the life of the non-volatile memory cell array M is prolonged. Furthermore, since elimination/write-in actuation is not performed when data S21 and data S23 are in agreement, the operating time of the part is shortened.

[0016] The 2nd example drawing 4 is the configuration block Fig. of a data rewriting circuit showing the 2nd example of this invention, and the common sign is given to the element in drawing 1 , and the common element. In this data rewriting circuit, the write-in circuit 25 in drawing 1 is not controlled by the coincidence signal S22, but the command of write-in actuation is given only by the timing controller which is not illustrated. Others are the same configurations as drawing 1 . Next, actuation of drawing 4 is explained. The write-in circuit 25 performs write-in actuation by the command of a timing controller irrespective of this detection result, after detecting coincidence/inequality of the data S23 and data S21 based on a comparator circuit 22. Others perform the same actuation as the 1st example. Therefore, even when rewriting of data is not performed, the maintenance data of the non-volatile memory cell array M are refreshed. As mentioned above, in this 2nd example, when data S21 and data S23 are in agreement, although the elimination circuit 24 does not perform elimination actuation, the write-in circuit 25 performs write-in actuation. When there is no damage over the non-volatile memory cell array M when elimination and write-in actuation are not performed, and only write-in actuation is performed, there is little damage over the non-volatile memory cell array M far as compared with the case where elimination and write-in actuation are performed. Therefore, like the 1st example, the count of elimination becomes fewer and the life of the non-volatile memory cell array M is prolonged. Moreover, the maintenance data of the non-volatile memory cell array M with which data are held for a long period of time, and the maintenance property has deteriorated are refreshed by performing only write-in actuation.

[0017] The 3rd example drawing 5 is the configuration block Fig. of a data rewriting circuit showing the 3rd example of this invention. This data rewriting circuit has the data detector 32. This data detector 32 consists of E-OR, and one input terminal is

connected to "L." Moreover, this data rewriting circuit is equipped with the readout circuitry 33 which is a latch circuit. A readout circuitry 33 consists of a sense amplifier, a latch circuit, etc., and has the function which reads and latches the maintenance data SMA currently held at the non-volatile memory cell array MA. The output terminal of a readout circuitry 33 is connected to the input terminal of another side of the data detector 32. This data detector 32 is a circuit which detects whether the data S33 which the readout circuitry 33 read are "L" (data shall be set to "L" when written in), shows activity to the coincidence signal S32 when data S33 are "L", and shows non-activity to the coincidence signal S32 when data S33 are "H". The electrical potential difference of the source field of EEPROM which the electrical potential difference of a sense line shows to drawing 2, and the bit line is transmitted to a drain field by the non-volatile memory cell array MA like the non-volatile memory cell array M in drawing 1. The output side of the data detector 32 is connected to each input side of the elimination circuit 34 and the write-in circuit 35.

[0018] When the elimination circuit 34 consists of a charge pump circuit and a high-voltage switching circuit as well as the elimination circuit 24 in drawing 1 and the coincidence signal S32 shows non-activity, by the command of the timing controller which is not illustrated When it has the function to impress the high voltage to the sense line of the non-volatile memory cell array MA, to impress 0V to the bit line, and to perform elimination actuation and the coincidence signal S32 shows activity, elimination actuation is forbidden based on the logical level of this coincidence signal S32. The write-in circuit 35 consists of a charge pump circuit and a high-voltage switching circuit as well as the write-in circuit 25 in drawing 1. When the coincidence signal S32 shows non-activity, after the elimination circuit 34 performs elimination actuation, by the command of said timing controller When it has the function to impress 0V to the sense line of the non-volatile memory cell array MA, to impress the high voltage to the bit line, and to perform write-in actuation and the coincidence signal S32 shows activity, write-in actuation is forbidden based on the logical level of this coincidence signal S32. Next, actuation [of drawing 5] (1) – (3) is explained.

[0019] (1) A readout circuitry 33 reads the data of the address which rewrites the non-volatile memory cell array MA. The read result is "L", or (that is, are data written in?) it detects whether it is no in the data detector 32. The data detector 32 shows activity to the coincidence signal S32, when the read result is "L", and in the case of "H", it shows non-activity at the coincidence signal S32.

(2) When the elimination actuation data detector 32 shows non-activity to the coincidence signal S32, the elimination circuit 34 eliminates the data of the address with which it was specified in this non-volatile memory array MA by the command of a timing controller, when the high voltage is impressed to the sense line of the non-volatile memory cell array MA and it impresses 0V to the bit line. However, when the data detector 32 shows activity to the coincidence signal S32, the elimination

circuit 34 does not perform elimination actuation.

(3) When the write-in actuation data detector 32 shows non-activity to the coincidence signal S32, after the elimination circuit 34 performs elimination actuation, the write-in circuit 35 writes data in the address with which it was specified in this non-volatile memory array MA by the command of a timing controller, when 0V are impressed to the sense line of the non-volatile memory cell array MA and it impresses the high voltage to the bit line. However, as for the write-in circuit 35, the coincidence signal S32 does not perform write-in actuation, when the data detector 32 shows activity.

[0020] Thus, when the maintenance data in the non-volatile memory array MA are "L" (that is, data are already written in), elimination and write-in actuation are not performed. As mentioned above, in this 3rd example, when data are written in the non-volatile memory array MA ("that is, data L"), a data rewriting circuit does not perform elimination and write-in actuation. Therefore, like the 1st example, damage is not done to the non-volatile memory cell array MA at all, but the count of rewriting becomes fewer, and the life of this non-volatile memory cell array MA is prolonged. Furthermore, since there is no 1st latch circuit in the 1st example, a circuit scale becomes small.

[0021] The 4th example drawing 6 is the configuration block Fig. of a data rewriting circuit showing the 4th example of this invention, and the common sign is given to the element in drawing 5 , and the common element. This data rewriting circuit has data detector 32A. This data detector 32A consists of E-OR, and one input terminal is connected to "H". This data detector 32A is a circuit which detects whether the data S33 which the readout circuitry 33 read are "H" (data shall become "H" when eliminated), shows activity to coincidence signal S32A when data S33 are "H", and shows non-activity to coincidence signal S32A when data S33 are "L." Moreover, the write-in circuit 36 in drawing 5 is not controlled by coincidence signal S32A, but the command of write-in actuation is given only by the timing controller which is not illustrated. Others are the same configurations as drawing 5 . Next, actuation of drawing 6 is explained.

[0022] The write-in circuit 36 performs write-in actuation by the command of a timing controller irrespective of this detection result after detection of coincidence/inequality of the data S33 and "H" by data detector 32A. Others perform the same actuation as the 3rd example. As mentioned above, in this 4th example, since only write-in actuation of data is performed without performing elimination actuation when the maintenance data of the non-volatile memory cell array MA are "H" (that is, data are already eliminated), the count of rewriting becomes fewer and the life of the non-volatile memory cell array MA is prolonged. Furthermore, since there is no 1st latch circuit in the 1st example, a circuit scale becomes small. In addition, this invention is not limited to the above-mentioned example, but various

deformation is possible for it. As the modification, there is the following, for example.

[0023] (a) Although the 1st and 2nd examples are the circuits supposing rewriting of a cutting tool unit and the 3rd and 4th examples are the circuits supposing rewriting of bitwise, these examples can respond to a bit, a cutting tool, and a page (namely, several bytes of package writing), if numbers, such as a readout circuitry, a latch circuit, a comparator circuit, and a detector, are fluctuated if needed.

(b) This invention is applied to the non-volatile memory cell the source field formed into the substrate not only like EEPROM but like a flash memory, and at large by which the floating gate was prepared through the insulator layer on between drain fields.

[0024]

[Effect of the Invention] According to the 1st invention, as explained to the detail above, when updating data and maintenance data are not in agreement, elimination and write-in actuation are performed, but a data rewriting circuit does not perform elimination and write-in actuation, when in agreement. Therefore, the count of rewriting actuation can be reduced as compared with the former, and the life of a non-volatile memory cell can be prolonged. Furthermore, since elimination/write-in actuation is not performed when updating data and maintenance data are in agreement, the operating time of the part can be shortened. According to the 2nd invention, when updating data and maintenance data are in agreement, although an elimination circuit does not perform elimination actuation, a write-in circuit performs write-in actuation. When there is no damage over a non-volatile memory cell when performing neither elimination nor writing, and only writing in, there is little damage over a non-volatile memory cell far as compared with the case where elimination and writing are performed. Therefore, the life of a non-volatile memory cell can be prolonged. Moreover, the data of a non-volatile memory cell with which data are held for a long period of time, and the maintenance property has deteriorated can be made to refresh by performing only write-in actuation.

[0025] According to the 3rd invention, when data are written in the non-volatile memory cell, a data rewriting circuit does not perform elimination and write-in actuation. Therefore, damage cannot be done to a non-volatile memory cell at all, but the count of rewriting can be reduced, and the life of this non-volatile memory cell can be prolonged. Furthermore, since there is no 1st latch circuit of the 1st invention, a circuit scale can be made smaller than the 1st invention. Since according to the 4th invention only write-in actuation of data is performed, without performing elimination actuation when the maintenance data of a non-volatile memory cell are already eliminated, the life of a non-volatile memory cell can be prolonged. Furthermore, since there is no 1st latch circuit of the 1st invention, a circuit scale can be made smaller than the 1st invention.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the configuration block Fig. of a data rewriting circuit showing the 1st example of this invention.

[Drawing 2] It is the sectional view of the conventional general EEPROM.

[Drawing 3] It is the circuit diagram of the comparator circuit in drawing 1 .

[Drawing 4] It is the configuration block Fig. of a data rewriting circuit showing the 2nd example of this invention.

[Drawing 5] It is the configuration block Fig. of a data rewriting circuit showing the 3rd example of this invention.

[Drawing 6] It is the configuration block Fig. of a data rewriting circuit showing the 4th example of this invention.

[Description of Notations]

2 [] Source Field

3 [] between Drain Fields

4 [] Insulator Layer

5 [] Floating Gate

21 [] Latch Circuit

23 33 Readout circuitry

22 Comparator circuit

24 34 Elimination circuit

25 35 Write-in circuit

32 32A Data detector

M, MA Non-volatile memory cell

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-63286

(43)公開日 平成9年(1997)3月7日

(51)Int.Cl.⁹

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 16/06

G 1 1 C 17/00

5 1 0 E

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21)出願番号 特願平7-220020

(22)出願日 平成7年(1995)8月29日

(71)出願人 591049893

株式会社沖マイクロデザイン宮崎
宮崎県宮崎市大和町9番2号

(71)出願人 000000295

沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号

(72)発明者 泊 伸広

宮崎県宮崎市大和町9番2号 株式会社沖
マイクロデザイン宮崎内

(72)発明者 松田 吉生

宮崎県宮崎市大和町9番2号 株式会社沖
マイクロデザイン宮崎内

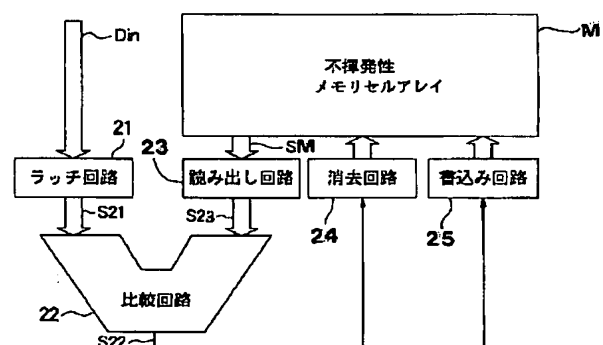
(74)代理人 弁理士 柿本 恭成

(54)【発明の名称】 データ書換回路

(57)【要約】

【目的】 不揮発性メモリに対する不必要な消去動作をなくして寿命を延ばす。

【構成】 ラッチ回路21が更新データD_{in}をラッチし、読み出し回路23が保持データSMを不揮発性メモリアレイMから読み出してラッチする。比較回路22はデータS₂₁とデータS₂₃とを比較し、その比較結果が一致した場合は一致信号S₂₂に活性を示し、一致しない場合は一致信号S₂₂に非活性を示す。一致信号S₂₂が非活性の場合、消去回路24は不揮発性メモリアレイM中の指定されたアドレスのデータの消去を行う。一致信号S₂₂が活性を示した場合、消去回路24は消去動作を行わない。一致信号S₂₂が非活性を示した場合、消去回路24が消去動作を行った後、書き込み回路25は、不揮発性メモリアレイM中の指定されたアドレスにデータの書き込みを行う。一致信号S₂₂が活性を示した場合、書き込み回路25は書き込み動作を行わない。



本発明の第1の実施例のデータ書換回路

【特許請求の範囲】

【請求項 1】 基板中に形成されたソース領域とドレイン領域間上に、絶縁膜を介して浮遊ゲートが設けられた不揮発性メモリセルに対してデータの書き込み動作及び消去動作を行うデータ書換回路において、前記不揮発性メモリセルに保持されている保持データに対して書き換えるための更新データをラッチする第 1 のラッチ回路と、前記保持データを読み出してラッチする第 2 のラッチ回路と、前記第 1 のラッチ回路にラッチされたデータと前記第 2 のラッチ回路にラッチされたデータとの一致／不一致を検出し、該検出結果が一致のとき一致信号に活性を示し、不一致のとき該一致信号に非活性を示す比較回路と、前記比較回路が前記一致信号に非活性を示したとき、前記浮遊ゲートから前記絶縁膜を介して前記ソース領域へエレクトロンを引抜くことにより前記不揮発性メモリセルに対してデータの消去動作を行い、前記比較回路が前記一致信号に活性を示したとき、該消去動作を行わない消去回路と、前記比較回路が前記一致信号に非活性を示したとき、前記消去回路が前記データの消去を行った後にホットエレクトロンを前記絶縁膜を介して前記浮遊ゲートへ注入することにより前記不揮発性メモリセルに対してデータの書き込み動作を行い、前記比較回路が前記一致信号に活性を示したとき、該書き込み動作を行わない書き込み回路とを、備えたことを特徴とするデータ書換回路。

【請求項 2】 基板中に形成されたソース領域とドレイン領域間上に、絶縁膜を介して浮遊ゲートが設けられた不揮発性メモリセルに対してデータの書き込み動作及び消去動作を行うデータ書換回路において、前記不揮発性メモリセルに保持されている保持データに対して書き換えるための更新データをラッチする第 1 のラッチ回路と、前記保持データを読み出してラッチする第 2 のラッチ回路と、前記第 1 のラッチ回路にラッチされたデータと前記第 2 のラッチ回路にラッチされたデータとの一致／不一致を検出し、該検出結果が一致のとき一致信号に活性を示し、不一致のとき該一致信号に非活性を示す比較回路と、前記比較回路が前記一致信号に非活性を示したとき、前記浮遊ゲートから前記絶縁膜を介して前記ソース領域へエレクトロンを引抜くことにより前記不揮発性メモリセルに対してデータの消去動作を行い、前記比較回路が前記一致信号に活性を示したとき、該消去動作を行わない消去回路と、前記比較回路が前記第 1 のラッチ回路にラッチされたデ

ータと前記第 2 のラッチ回路にラッチされたデータとの一致／不一致を検出した後、該検出結果にかかわらずホットエレクトロンを前記絶縁膜を介して前記浮遊ゲートへ注入することにより前記不揮発性メモリセルに対してデータの書き込み動作を行う書き込み回路とを、備えたことを特徴とするデータ書換回路。

【請求項 3】 基板中に形成されたソース領域とドレイン領域間上に、絶縁膜を介して浮遊ゲートが設けられた不揮発性メモリセルに対してデータの書き込み動作及び消去動作を行うデータ書換回路において、前記不揮発性メモリセルに保持されている保持データを読み出してラッチするラッチ回路と、高レベル又は低レベルと前記ラッチ回路にラッチされたデータの論理レベルとの一致／不一致を検出し、該検出結果が一致のとき一致信号に活性を示し、不一致のとき該一致信号に非活性を示すデータ検出回路と、前記データ検出回路が前記一致信号に非活性を示したとき、前記浮遊ゲートから前記絶縁膜を介して前記ソース領域へエレクトロンを引抜くことにより前記不揮発性メモリセルに対してデータの消去動作を行い、前記データ検出回路が前記一致信号に活性を示したとき、該消去動作を行わない消去回路と、前記データ検出回路が前記一致信号に非活性を示したとき、前記消去回路が前記データの消去を行った後にホットエレクトロンを前記絶縁膜を介して前記浮遊ゲートへ注入することにより前記不揮発性メモリセルに対してデータの書き込み動作を行い、前記データ検出回路が前記一致信号に活性を示したとき、該書き込み動作を行わない書き込み回路とを、備えたことを特徴とするデータ書換回路。

【請求項 4】 基板中に形成されたソース領域とドレイン領域間上に、絶縁膜を介して浮遊ゲートが設けられた不揮発性メモリセルに対してデータの書き込み動作及び消去動作を行うデータ書換回路において、前記不揮発性メモリセルに保持されている保持データを読み出してラッチするラッチ回路と、高レベル又は低レベルと前記ラッチ回路にラッチされたデータの論理レベルとの一致／不一致を検出し、該検出結果が一致のとき一致信号に活性を示し、不一致のとき該一致信号に非活性を示すデータ検出回路と、前記データ検出回路が前記一致信号に非活性を示したとき、前記浮遊ゲートから前記絶縁膜を介して前記ソース領域へエレクトロンを引抜くことにより前記不揮発性メモリセルに対してデータの消去動作を行い、前記データ検出回路が前記一致信号に活性を示したとき、該消去動作を行わない消去回路と、前記データ検出回路が高レベル又は低レベルと前記ラッチ回路にラッチされたデータの論理レベルとの一致／不一致を検出した後、該検出結果にかかわらずホットエレクトロンを前記絶縁膜を介して前記浮遊ゲートへ注入す

ることにより前記不揮発性メモリセルに対してデータの書き込み動作を行う書き込み回路とを、備えたことを特徴とするデータ書換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、データの記憶装置、特にEEPROM(Electrically Erasable Programmable ROM)等の不揮発性メモリに対するデータの書換回路に関するものである。

【0002】

【従来の技術】EEPROM等の不揮発性メモリのデータの書き換え動作を行う場合、従来のデータ書換回路では、不揮発性メモリの書き込みを行いたいアドレスに既に書き込まれている保持データの内容にかかわらず、先ず該保持データの消去動作を行い、次に書き込み動作を行う。つまり、保持データと書き換えを行いたい更新データとが同一の場合でも書き込み動作が行われる。

【0003】

【発明が解決しようとする課題】従来のデータ書換回路では、次のような課題があった。図2は、不揮発性メモリの一つである一般的なEEPROMの構造を示す概略の断面図である。このEEPROMは、基板1中に形成されたソース領域2及びドレイン領域3の間の上部に、下から順にトンネル絶縁膜4、浮遊ゲート(FG)5、ゲート間絶縁膜6、及び制御ゲート(CG)7を積層した積層ゲートMOSFET構造になっている。ソース領域2にはソース電極11、ドレイン領域3にはドレイン電極12、及び制御ゲート7には制御ゲート電極13がそれぞれ接続されている。このEEPROMでは、浮遊ゲート5中の電子(エレクトロン)の量により、制御ゲート7から見た閾値が変化することを利用してデータの書き込み及び消去を行うようになっている。次に、図2の動作(1)～(2)を説明する。

【0004】(1) 書き込み動作

例えば、ソース電極11に0V、ドレイン電極12に+6V、及び制御ゲート電極13に+12Vをそれぞれ印加する。そして、ソース領域2からドレイン領域3へ電流を流して、ホットエレクトロンをトンネル絶縁膜4を介して浮遊ゲート5へ注入することにより、データの書き込みを行う。

(2) 消去動作

例えば、ソース電極11に+5V、及び制御ゲート電極13に-9Vを印加し、浮遊ゲート5からトンネル絶縁膜4を介してソース領域2へエレクトロンを引抜くことにより、データの消去を行う。以上の動作をデータ書換回路が行っていた。つまり、保持データと更新データとが同一の場合でも消去及び書き込み動作が行われるという無駄な書き換え動作がある。そのため、書き換え可能な回数が減少するという問題があった。

【0005】例えば、図2のEEPROMでは、書き込み及び

消去時に、エレクトロンをトンネル絶縁膜4中を透過させることを行うことから、該トンネル絶縁膜4中にエレクトロンやホールが捕獲され、書き込み効率や消去効率が低下するという信頼性上の問題がある。そのため、書き込み後の閾値が低下し、或いは消去後の閾値が上昇し、この両方の閾値の差である閾値ウィンドウが狭くなる。閾値ウィンドウが狭まると、高レベル(以下、“H”という)及び低レベル(以下、“L”という)の判定ができず、メモリ動作が不可能になってしまうことがある。つまり、EEPROM等の不揮発性メモリには、物理的に書き換え回数に制限があり、或る程度の書き換え回数を越えると、書き換えができなくなるという問題がある。一般的なEEPROMでは、1万回～10万回程度が書き換え回数の限界である。

【0006】

【課題を解決するための手段】第1の発明は、前記課題を解決するために、基板中に形成されたソース領域とドレイン領域間上に、絶縁膜を介して浮遊ゲートが設けられた不揮発性メモリセルに対してデータの書き込み動作及び消去動作を行うデータ書換回路において、次のような回路を備えている。即ち、前記不揮発性メモリセルに保持されている保持データに対して書き換えるための更新データをラッチする第1のラッチ回路と、前記保持データを読み出してラッチする第2のラッチ回路と、前記第1のラッチ回路にラッチされたデータと前記第2のラッチ回路にラッチされたデータとの一致/不一致を検出し、該検出結果が一致のとき一致信号に活性を示し、不一致のとき該一致信号に非活性を示す比較回路と、前記比較回路が前記一致信号に非活性を示したとき、前記浮遊ゲートから前記絶縁膜を介して前記ソース領域へエレクトロンを引抜くことにより前記不揮発性メモリセルに対してデータの消去動作を行い、前記比較回路が前記一致信号に活性を示したとき、該消去動作を行わない消去回路と、前記比較回路が前記一致信号に非活性を示したとき、前記消去回路が前記データの消去を行った後にホットエレクトロンを前記絶縁膜を介して前記浮遊ゲートへ注入することにより前記不揮発性メモリセルに対してデータの書き込み動作を行い、前記比較回路が前記一致信号に活性を示したとき、該書き込み動作を行わない書き込み回路とを、備えている。

【0007】第2の発明では、基板中に形成されたソース領域とドレイン領域間上に、絶縁膜を介して浮遊ゲートが設けられた不揮発性メモリに対してデータの書き込み動作及び消去動作を行うデータ書換回路において、次のような回路を備えている。即ち、前記不揮発性メモリセルに保持されている保持データに対して書き換えるための更新データをラッチする第1のラッチ回路と、前記保持データを読み出してラッチする第2のラッチ回路と、前記第1のラッチ回路にラッチされたデータと前記第2のラッチ回路にラッチされたデータとの一致/不

致を検出し、該検出結果が一致のとき一致信号に活性を示し、不一致のとき該一致信号に非活性を示す比較回路と、前記比較回路が前記一致信号に非活性を示したとき、前記浮遊ゲートから前記絶縁膜を介して前記ソース領域へエレクトロンを引抜くことにより前記不揮発性メモリセルに対してデータの消去動作を行い、前記比較回路が前記一致信号に活性を示したとき、該消去動作を行わない消去回路と、前記比較回路が前記第1のラッチ回路にラッチされたデータと前記第2のラッチ回路にラッチされたデータとの一致／不一致を検出した後、該検出結果にかかわらずホットエレクトロンを前記絶縁膜を介して前記浮遊ゲートへ注入することにより前記不揮発性メモリセルに対してデータの書き込み動作を行う書き込み回路とを、備えている。

【0008】第3の発明では、基板中に形成されたソース領域とドレイン領域間上に、絶縁膜を介して浮遊ゲートが設けられた不揮発性メモリセルに対してデータの書き込み動作及び消去動作を行うデータ書換回路において、次のような回路を備えている。即ち、前記不揮発性メモリセルに保持されている保持データを読み出してラッチするラッチ回路と、“H”又は“L”と前記第2のラッチ回路にラッチされたデータの論理レベルとの一致／不一致を検出し、該検出結果が一致のとき一致信号に活性を示し、不一致のとき該一致信号に非活性を示すデータ検出回路と、前記データ検出回路が前記一致信号に非活性を示したとき、前記浮遊ゲートから前記絶縁膜を介して前記ソース領域へエレクトロンを引抜くことにより前記不揮発性メモリセルに対してデータの消去動作を行い、前記データ検出回路が前記一致信号に活性を示したとき、該消去動作を行わない消去回路と、前記データ検出回路が前記一致信号に非活性を示したとき、前記消去回路が前記データの消去を行った後にホットエレクトロンを前記絶縁膜を介して前記浮遊ゲートへ注入することにより前記不揮発性メモリセルに対してデータの書き込み動作を行い、前記データ検出回路が前記一致信号に活性を示したとき、該書き込み動作を行わない書き込み回路とを、備えている。

【0009】第4の発明では、基板中に形成されたソース領域とドレイン領域間上に、絶縁膜を介して浮遊ゲートが設けられた不揮発性メモリセルに対してデータの書き込み動作及び消去動作を行うデータ書換回路において、次のような回路を備えている。即ち、前記不揮発性メモリセルに保持されている保持データを読み出してラッチするラッチ回路と、“H”又は“L”と前記第2のラッチ回路にラッチされたデータの論理レベルとの一致／不一致を検出し、該検出結果が一致のとき一致信号に活性を示し、不一致のとき該一致信号に非活性を示すデータ検出回路と、前記データ検出回路が前記一致信号に非活性を示したとき、前記浮遊ゲートから前記絶縁膜を介して前記ソース領域へエレクトロンを引抜くことにより

り前記不揮発性メモリセルに対してデータの消去動作を行い、前記データ検出回路が前記一致信号に活性を示したとき、該消去動作を行わない消去回路と、前記データ検出回路が“H”又は“L”と前記第2のラッチ回路にラッチされたデータの論理レベルとの一致／不一致を検出した後、該検出結果にかかわらずホットエレクトロンを前記絶縁膜を介して前記浮遊ゲートへ注入することにより前記不揮発性メモリセルに対してデータの書き込み動作を行う書き込み回路とを、備えている。

10 【0010】

【作用】第1の発明によれば、以上のようにデータ書き換え回路を構成したので、不揮発性メモリセルに保持されている保持データに対して書き換えるための更新データが第1のラッチ回路にラッチされ、前記保持データが第2のラッチ回路にラッチされる。次に、第1のラッチ回路にラッチされたデータと第2のラッチ回路にラッチされたデータとの一致／不一致が比較回路で検出され、該検出結果が一致のとき該比較回路は一致信号に活性を示し、不一致のとき一致信号に非活性を示す。比較回路が一致信号に非活性を示したとき、消去回路により不揮発性メモリセルの浮遊ゲートから絶縁膜を介してソース領域へエレクトロンを引抜くことによりデータが消去される。次に、前記消去回路が前記データの消去を行った後に書き込み回路によりホットエレクトロンを前記絶縁膜を介して前記浮遊ゲートへ注入することにより不揮発性メモリセルに対してデータの書き込みが行われる。一方、比較回路が一致信号に活性を示したとき、消去及び書き込みを行う必要がないので、データ書換回路は消去及び書き込み動作を行わない。そのため、従来と比較して書き換え動作の回数が減少し、不揮発性メモリセルの寿命が延びる。

20 【0011】第2の発明によれば、第1の発明の比較回路が一致信号に活性を示したとき、データ書換回路は消去動作を行わないが、書き込み回路により不揮発性メモリセルに対してデータの書き込みが行われる。そのため、従来と比較して消去動作の回数が減少し、不揮発性メモリセルの寿命が延びることに加えて該不揮発性メモリセルのデータがリフレッシュされる。第3の発明によれば、不揮発性メモリセルに保持されている保持データがラッチ回路にラッチされる。次に、“H”又は“L”と前記ラッチ回路にラッチされたデータの論理レベルとの一致／不一致がデータ検出回路で検出され、該検出結果が一致のとき該データ検出回路は一致信号に活性を示し、不一致のとき一致信号に非活性を示す。データ検出回路が一致信号に非活性を示したとき、消去回路により不揮発性メモリセルの浮遊ゲートから絶縁膜を介してソース領域へエレクトロンを引抜くことによりデータが消去される。次に、前記消去回路が前記データの消去を行った後に書き込み回路によりホットエレクトロンを前記絶縁膜を介して前記浮遊ゲートへ注入することにより不

揮発性メモリセルに対してデータの書き込みが行われる。一方、データ検出回路が一致信号に活性を示したとき、消去及び書き込みを行う必要がないので、データ書換回路は消去及び書き込み動作を行わない。そのため、従来と比較して書き換え動作の回数が減少し、不揮発性メモリセルの寿命が延びる。第4の発明によれば、第3の発明のデータ検出回路が一致信号に活性を示したとき、データ書換回路は消去動作を行わないが、書き込み回路により不揮発性メモリセルに対してデータの書き込みが行われる。そのため、従来と比較して消去動作の回数が減少し、不揮発性メモリセルの寿命が延びることに加えて該不揮発性メモリセルのデータがリフレッシュされる。従って、前記課題を解決できるのである。

【0012】

【実施例】

第1の実施例

図1は、本発明の第1の実施例を示すデータ書換回路の構成ブロック図である。このデータ書換回路は、書き換えを行いたい n ($n:1$ 以上の整数)ビットの更新データ D_{in} をラッチする第1のラッチ回路21を有している。ラッチ回路21は、 n 個の遅延フリップフロップ(以下、D-FFという)で構成され、該 n 個のD-FFが共通のクロック信号に同期して更新データ D_{in} の各々をラッチする機能を有している。ラッチ回路21がラッチしたデータ S_{21} は、比較回路22の一方の入力側に入力されるようになっている。又、不揮発性メモリセルアレイMに保持されている保持データSMは、第2のラッチ回路である読み出し回路23に入力されるようになっている。この不揮発性メモリセルアレイMは、センスラインの電圧が例えば図2に示すEEPROMのソース領域に、及びビットラインの電圧がドレイン領域に伝達されるようになっている。読み出し回路23は、センスアンプ及びラッチ回路等で構成され、不揮発性メモリセルアレイM中の書き換えを行いたいアドレスの n ビットの保持データSMを読み出してラッチする機能を有している。読み出し回路23がラッチしているデータ S_{23} は、比較回路22の他方の入力側に入力されるようになっている。比較回路22は、データ S_{21} とデータ S_{23} との比較を行い、一致した場合には一致信号 S_{22} に活性を示し、不一致の場合には一致信号 S_{22} に非活性を示す機能を有している。比較回路22の出力側は、消去回路24及び書き込み回路25の各入力側に接続されている。

【0013】消去回路24は、例えばチャージポンプ回路や高電圧スイッチ回路で構成され、一致信号 S_{22} が非活性を示した場合、図示しないタイミングコントローラの指令により、不揮発性メモリセルアレイMのセンスラインに高電圧、及びビットラインに0Vを印加してソース領域へエレクトロンを引抜くことにより不揮発性メモリセルMに対してデータの消去動作を行う機能を有

し、一致信号 S_{22} が活性を示した場合には、該一致信号 S_{22} の論理レベルに基づいて消去動作が禁止されるようになっている。書き込み回路25は、例えばチャージポンプ回路や高電圧スイッチ回路で構成され、一致信号 S_{22} が非活性を示した場合、消去回路24が消去動作を行った後、前記タイミングコントローラの指令により、不揮発性メモリセルアレイMのセンスラインに0V、及びビットラインに高電圧を印加してホットエレクトロンを絶縁膜を介して浮遊ゲートへ注入することにより不揮発性メモリセルMに対してデータの書き込み動作を行う機能を有し、一致信号 S_{22} が活性を示した場合には、該一致信号 S_{22} の論理レベルに基づいて書き込み動作が禁止されるようになっている。

【0014】図3は、図1中の比較回路の回路図である。この比較回路は、 n 個のイクスクルーシブオア回路(以下、E-ORという)22a1~22an ($n:1$ 以上の整数)及び n 入力NOR回路22bを備え、ラッチ回路21の各出力端子が、E-OR22a1~22anの各第1の入力端子にそれぞれ接続されている。読み出し回路23の各出力端子は、ラッチ回路21の各出力端子のLSBからMSBの順序に対応してE-OR22a1~22anの各第2の入力端子にそれぞれ接続されている。E-OR22a1~22anの各出力端子は、NOR回路22bの各入力端子にそれぞれ接続されている。NOR回路22bの出力端子からは一致信号 S_{22} が出力されるようになっている。次に、図1の動作(1)~(3)を説明する。

【0015】(1) データのロード動作

外部から書き換えを行いたいアドレスとそのデータ(即ち、更新データ D_{in})が入力され、ラッチ回路21が該更新データ D_{in} をラッチする。一方、同時に、読み出し回路23が、指定された前記アドレスに対応する保持データSMを不揮発性メモリアレイMから読み出してラッチする。その後、比較回路22は、データ S_{21} とデータ S_{23} とを比較し、その比較結果が一致した場合には一致信号 S_{22} に活性を示し、該比較結果が一致しない場合には一致信号 S_{22} に非活性を示す。

(2) 消去動作

比較回路22が一致信号 S_{22} に非活性を示した場合、タイミングコントローラの指令により、消去回路24は、不揮発性メモリセルアレイMのセンスラインに高電圧、及びビットラインに0Vを印加することにより、該不揮発性メモリアレイM中の指定されたアドレスのデータの消去を行う。但し、比較回路22が一致信号 S_{22} に活性を示した場合、消去回路24は消去動作を行わない。

(3) 書き込み動作

比較回路22が一致信号 S_{22} に非活性を示した場合、前記タイミングコントローラの指令により、消去回路24が消去動作を行った後、書き込み回路25は、不揮発

性メモリセルMのセンスラインに0V、及びビットラインに高電圧を印加することにより、該不揮発性メモリアレイM中の指定されたアドレスにデータの書き込みを行う。但し、比較回路22が一致信号S22に活性を示した場合、書き込み回路25は書き込み動作を行わない。以上のように、この第1の実施例では、データ書換回路は、データS21とデータS23とが一致していない場合には消去及び書き込み動作を行うが、一致している場合には消去及び書き込み動作を行わない。そのため、従来と比較して書き換え動作の回数が減り、不揮発性メモリセルアレイMの寿命が延びる。更に、データS21とデータS23とが一致している場合、消去／書き込み動作が行われないので、その分の動作時間が短縮される。

【0016】第2の実施例

図4は、本発明の第2の実施例を示すデータ書換回路の構成ブロック図であり、図1中の要素と共通の要素には共通の符号が付されている。このデータ書き換え回路では、図1中の書き込み回路25が一致信号S22で制御されず、図示しないタイミングコントローラのみで書き込み動作の指令が与えられるようになっている。他は図1と同様の構成である。次に、図4の動作を説明する。書き込み回路25は、比較回路22によるデータS23とデータS21との一致／不一致を検出した後、該検出結果にかかわらずタイミングコントローラの指令により書き込み動作を行う。他は第1の実施例と同様の動作を行う。従って、データの書き換えが行われない場合でも不揮発性メモリセルアレイMの保持データがリフレッシュされる。以上のように、この第2の実施例では、データS21とデータS23とが一致した場合には消去回路24は消去動作を行わないが、書き込み回路25が書き込み動作を行う。消去及び書き込み動作が行われない場合、不揮発性メモリセルアレイMに対する損傷は全くとなく、書き込み動作のみが行われる場合、不揮発性メモリセルアレイMに対する損傷は、消去及び書き込み動作を行う場合に比較して遥かに少ない。そのため、第1の実施例と同様に、消去回数が減り、不揮発性メモリセルアレイMの寿命が延びる。又、書き込み動作のみを行うことにより、データを長期間保持して保持特性が劣化している不揮発性メモリセルアレイMの保持データがリフレッシュされる。

【0017】第3の実施例

図5は、本発明の第3の実施例を示すデータ書換回路の構成ブロック図である。このデータ書換回路は、データ検出回路32を有している。このデータ検出回路32はE-ORで構成され、一方の入力端子は“L”に接続されている。又、このデータ書換回路は、ラッチ回路である読み出し回路33を備えている。読み出し回路33は、センスアンプ及びラッチ回路等で構成され、不揮発性メモリセルアレイMAに保持されている保持データSMAを読み出してラッチする機能を有している。読み出

し回路33の出力端子は、データ検出回路32の他方の入力端子に接続されている。このデータ検出回路32は、読み出し回路33が読み出したデータS33が“L”（書き込みされた場合はデータが“L”になるものとする）であるか否かを検出し、データS33が“L”の場合には一致信号S32に活性を示し、データS33が“H”の場合には一致信号S32に非活性を示す回路である。不揮発性メモリセルアレイMAは、図1中の不揮発性メモリセルアレイMと同様に、センスラインの電圧が例えば図2に示すEEPROMのソース領域に、及びビットラインの電圧がドレイン領域に伝達されるようになっている。データ検出回路32の出力側は、消去回路34及び書き込み回路35の各入力側に接続されている。

【0018】消去回路34は、図1中の消去回路24と同様にチャージポンプ回路や高電圧スイッチ回路で構成され、一致信号S32が非活性を示した場合、図示しないタイミングコントローラの指令により、不揮発性メモリセルアレイMAのセンスラインに高電圧、及びビットラインに0Vを印加して消去動作を行う機能を有し、一致信号S32が活性を示した場合には、該一致信号S32の論理レベルに基づいて消去動作が禁止されるようになっている。書き込み回路35は、図1中の書き込み回路25と同様にチャージポンプ回路や高電圧スイッチ回路で構成され、一致信号S32が非活性を示した場合、消去回路34が消去動作を行った後、前記タイミングコントローラの指令により、不揮発性メモリセルアレイMAのセンスラインに0V、及びビットラインに高電圧を印加して書き込み動作を行う機能を有し、一致信号S32が活性を示した場合には、該一致信号S32の論理レベルに基づいて書き込み動作が禁止されるようになっている。次に、図5の動作(1)～(3)を説明する。

【0019】(1) 読み出し回路33は、不揮発性メモリセルアレイMAの書き換えを行うアドレスのデータの読み出しを行う。読み出した結果が“L”であるか（即ち、データが書き込みされているか）否かをデータ検出回路32で検出する。データ検出回路32は、読み出した結果が“L”の場合には一致信号S32に活性を示し、“H”の場合には一致信号S32に非活性を示す。

(2) 消去動作

データ検出回路32が一致信号S32に非活性を示した場合、タイミングコントローラの指令により、消去回路34は、不揮発性メモリセルアレイMAのセンスラインに高電圧、及びビットラインに0Vを印加することにより、該不揮発性メモリアレイMA中の指定されたアドレスのデータの消去を行う。但し、データ検出回路32が一致信号S32に活性を示した場合、消去回路34は消去動作を行わない。

(3) 書き込み動作

データ検出回路 32 が一致信号 S 32 に非活性を示した場合、消去回路 34 が消去動作を行った後、タイミングコントローラの指令により、書き込み回路 35 は、不揮発性メモリセルアレイ MA のセンスラインに 0 V、及びビットラインに高電圧を印加することにより、該不揮発性メモリセルアレイ MA 中の指定されたアドレスにデータの書き込みを行う。但し、データ検出回路 32 が一致信号 S 32 が活性を示した場合、書き込み回路 35 は書き込み動作を行わない。

【0020】このように、不揮発性メモリセルアレイ MA 中の保持データが“L”（即ち、既にデータが書き込まれている）の場合は、消去及び書き込み動作を行わない。以上のように、この第 3 の実施例では、不揮発性メモリセルアレイ MA にデータが書き込まれている（即ち、データが“L”）場合は、データ書換回路は消去及び書き込み動作を行わない。そのため、第 1 の実施例と同様に、不揮発性メモリセルアレイ MA に全く損傷を与えず、書き換え回数が減り、該不揮発性メモリセルアレイ MA の寿命が延びる。更に、第 1 の実施例における第 1 のラッチ回路がないので、回路規模が小さくなる。

【0021】第 4 の実施例

図 6 は、本発明の第 4 の実施例を示すデータ書換回路の構成ブロック図であり、図 5 中の要素と共通の要素には共通の符号が付されている。このデータ書換回路は、データ検出回路 32 A を有している。このデータ検出回路 32 A は E-O R で構成され、一方の入力端子は“H”に接続されている。このデータ検出回路 32 A は、読み出し回路 33 が読み出したデータ S 33 が“H”（消去された場合はデータが“H”になるものとする）であるか否かを検出し、データ S 33 が“H”の場合には一致信号 S 32 A に活性を示し、データ S 33 が“L”の場合には一致信号 S 32 A に非活性を示す回路である。又、図 5 中の書き込み回路 36 が一致信号 S 32 A で制御されず、図示しないタイミングコントローラのみで書き込み動作の指令が与えられるようになっている。他は図 5 と同様の構成である。次に、図 6 の動作を説明する。

【0022】書き込み回路 36 は、データ検出回路 32 A によるデータ S 33 と“H”との一致／不一致の検出の後、該検出結果にかかわらずタイミングコントローラの指令により書き込み動作を行う。他は第 3 の実施例と同様の動作を行う。以上のように、この第 4 の実施例では、不揮発性メモリセルアレイ MA の保持データが“H”（即ち、既にデータが消去されている）の場合は、消去動作を行わずにデータの書き込み動作のみが行われるので、書き換え回数が減り、不揮発性メモリセルアレイ MA の寿命が延びる。更に、第 1 の実施例における第 1 のラッチ回路がないので、回路規模が小さくなる。尚、本発明は上記実施例に限定されず、種々の変形が可能である。その変形例としては、例えば次のような

ものがある。

【0023】（a）第 1 及び第 2 の実施例は、バイト単位の書き換えを想定した回路であり、第 3 及び第 4 の実施例は、ビット単位の書き換えを想定した回路であるが、これらの実施例は、読み出し回路、ラッチ回路、比較回路、検出回路等の数を必要に応じて増減すれば、ビット、バイト、ページ（即ち、数バイトの一括書き込み）に対応できる。

（b）本発明は EEPROM に限らず、例えばフラッシュメモリのように基板中に形成されたソース領域とドレイン領域間に、絶縁膜を介して浮遊ゲートが設けられた不揮発性メモリセル全般に適用される。

【0024】

【発明の効果】以上詳細に説明したように、第 1 の発明によれば、データ書換回路は、更新データと保持データとが一致していない場合には消去及び書き込み動作を行うが、一致している場合には消去及び書き込み動作を行わない。そのため、従来と比較して書き換え動作の回数を減らすことができ、不揮発性メモリセルの寿命を延ばすことができる。更に、更新データと保持データとが一致している場合、消去／書き込み動作を行わないので、その分の動作時間を短縮できる。第 2 の発明によれば、更新データと保持データとが一致した場合には消去回路は消去動作を行わないが、書き込み回路が書き込み動作を行う。消去も書き込みも行わない場合、不揮発性メモリセルに対する損傷は全くなく、書き込みのみを行う場合、不揮発性メモリセルに対する損傷は消去及び書き込みを行う場合に比較して遥かに少ない。そのため、不揮発性メモリセルの寿命を延ばすことができる。又、書き込み動作のみを行うことにより、データを長期間保持して保持特性が劣化している不揮発性メモリセルのデータをリフレッシュさせることができる。

【0025】第 3 の発明によれば、不揮発性メモリセルにデータが書き込まれている場合は、データ書換回路は消去及び書き込み動作を行わない。そのため、不揮発性メモリセルに全く損傷を与えず、書き換え回数を減らすことができ、該不揮発性メモリセルの寿命を延ばすことができる。更に、第 1 の発明の第 1 のラッチ回路がないので、第 1 の発明よりも回路規模を小さくできる。第 4 の発明によれば、不揮発性メモリセルの保持データが既に消去されている場合には、消去動作を行わずにデータの書き込み動作のみが行われるので、不揮発性メモリセルの寿命を延ばすことができる。更に、第 1 の発明の第 1 のラッチ回路がないので、第 1 の発明よりも回路規模を小さくできる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例を示すデータ書換回路の構成ブロック図である。

【図 2】従来の一般的な EEPROM の断面図である。

【図 3】図 1 中の比較回路の回路図である。

13

14

【図4】本発明の第2の実施例を示すデータ書換回路の構成ブロック図である。

【図5】本発明の第3の実施例を示すデータ書換回路の構成ブロック図である。

【図6】本発明の第4の実施例を示すデータ書換回路の構成ブロック図である。

【符号の説明】

2 ソース領域
3 ドレイン領域間
4 絶縁膜

* 5

2 1

2 3, 3 3

2 2,

2 4, 3 4

2 5, 3 5

3 2, 3 2 A

M, MA

セル

* 10

浮遊ゲート

ラッチ回路

読み出し回路

比較回路

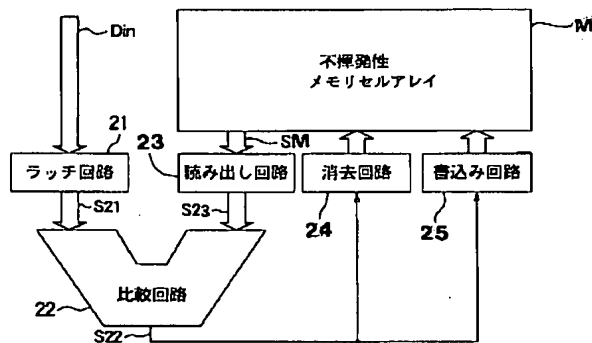
消去回路

書き込み回路

データ検出回路

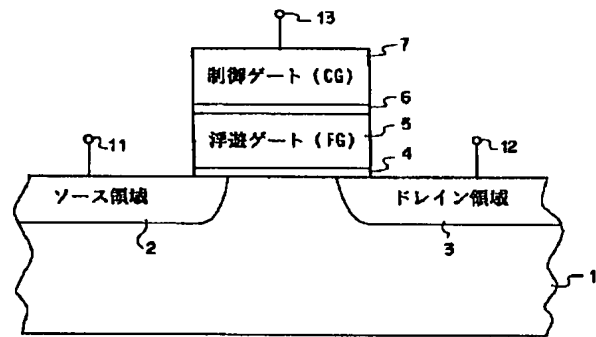
不揮発性メモリ

【図1】



本発明の第1の実施例のデータ書換回路

【図2】



一般的なEEPROM

【図3】

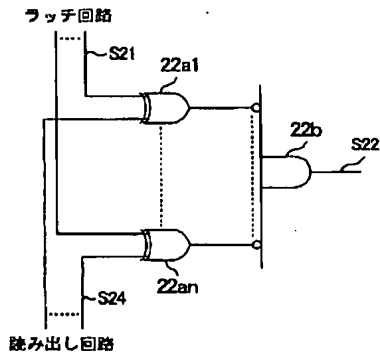
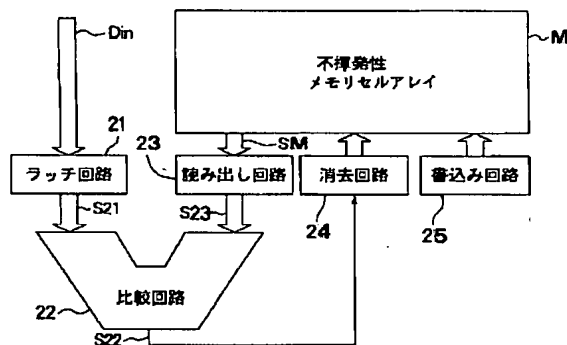


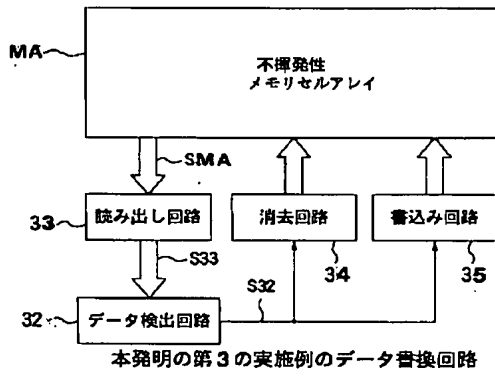
図1中の比較回路

【図4】



本発明の第2の実施例のデータ書換回路

【図5】



【図6】

